

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-201648

(43)Date of publication of application : 09.08.1990

(51)Int.Cl.

G06F 9/06

(21)Application number : 01-021591

(71)Applicant : NEC CORP

(22)Date of filing : 31.01.1989

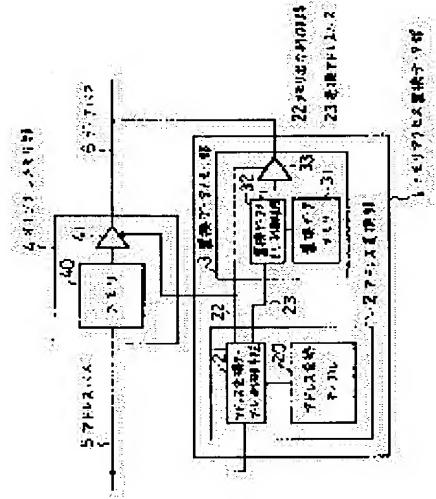
(72)Inventor : MATSUSHITA HIDEAKI

(54) SYSTEM FOR CONTROLLING MEMORY ACCESS

(57)Abstract:

PURPOSE: To easily change the contents of a memory by storing the address and data of the memory to be changed in an address conversion table and a replacing data memory.

CONSTITUTION: An address conversion table control means 21 retrieves an address conversion table 20 based on the address data on an address bus and outputs a memory output control signal 22. When the control signal 22 indicates the fact that an entry in which the address data are registered is found, a buffer 33 outputs the data after replaced to be read out of a replacing data memory 31 by a replacing data memory control means 32 on a data bus 6. When the control signal 22 indicates the fact that the entry cannot be found, the data outputted from a memory 40 are outputted on the bus 6 by a buffer 41. Thus, the change of the data to plural addresses can be concentrically executed by the replacing data memory 31, and even at the time of changing the contents over plural ROM chips, the necessity to execute a switch to the individual ROM chip is eliminated, and thereby, the switching work can be facilitated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑪ 公開特許公報 (A)

平2-201648

⑫ Int. Cl.⁵

G 06 F 9/06

識別記号

4 4 0 N

庁内整理番号

7361-5B

⑬ 公開 平成2年(1990)8月9日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 メモリアクセス制御方式

⑮ 特願 平1-21591

⑯ 出願 平1(1989)1月31日

⑰ 発明者 松下秀明 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代理人 弁理士 本庄伸介

明細書

1. 発明の名称

メモリアクセス制御方式

2. 特許請求の範囲

アドレスバス上のアドレスデータで指定されたメモリの番地に格納されているデータをデータバス上に出力するメモリアドレス制御方式において、置換後のデータを記憶している置換データメモリと、

変更すべきデータが格納されている前記メモリのアドレスデータおよび前記置換データメモリのアドレスを記憶しているアドレス変換テーブルと、

前記アドレスバス上のアドレスデータに基づいて前記アドレス変換テーブルを検索し、前記アドレスデータデータが登録されているエントリを見出したか否かを示すメモリ出力制御信号を出力すると共に、前記アドレスが登録されているエントリを見出したときは該エントリ中の前記置換データ

タメモリのアドレスデータを取り出すアドレス変換テーブル制御手段と、

該変換テーブル制御手段により取り出された前記置換データタメモリのアドレスデータに従って前記置換データタメモリから置換後のデータを読み出す置換データタメモリ制御手段と、

前記変換テーブル制御手段により出力されたメモリ出力制御信号が前記エントリを見出した旨を示すときは、前記置換データタメモリ制御手段により読み出されたデータを前記データバス上に出力し、前記メモリ制御信号が前記エントリを見出せない旨を示すときは、前記メモリの出力したデータを前記データバス上に出力するバッファとを設けたことを特徴とするメモリアクセス制御方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はメモリアクセス制御方式に関する。
(従来の技術)

情報処理装置等で使用されているメモリは、一般に、複数の領域から構成され、そのメモリの各領域にはプログラムおよびこのプログラムを実行するのに必要なデータが格納されている。このメモリ内の各領域には一意に識別するためその領域を示すアドレスが付けられており、一つのアドレスに対して一つの領域が指定されるようになっている。

このような構成の情報処理装置において、メモリに格納されているプログラムまたはデータを何等かの要求（例えば機能追加等）により複数の領域を変更するときは、メモリの各領域の内容を個別に変更している。例えば、メモリがROMで構成され、変更する内容が複数のROMのチップにわたるときは、個々のROMチップを交換している。

（発明が解決しようとする課題）

上述したように、従来のメモリアクセス制御方式は、一つのアドレスに対して一つのメモリ領域が指定される構成となっており、複数の領域に格

納されているプログラム又はデータの変更を行うときは各々の領域の内容を個別に変更する必要がある。従って、複数のROMチップに渡ってその内容を変更するときは、個々のROMチップを交換しているので、変更作業が大変である。

本発明は、このような事情に鑑みてなされたものであり、その目的は、メモリの内容の変更が容易なメモリアクセス制御方式を提供することにある。

（課題を解決するための手段）

本発明のメモリアクセス制御方式は、上記目的を達成するために、アドレスバス上のアドレスデータで指定されたメモリの番地に格納されているデータをデータバス上に出力するメモリアドレス制御方式において、

置換後のデータを記憶している置換データメモリと、

変更すべきデータが格納されている前記メモリのアドレスデータおよび前記置換データメモリのアドレスを記憶しているアドレス変換テーブルと、

- 3 -

前記アドレスバス上のアドレスデータに基づいて前記アドレス変換テーブルを検索し、前記アドレスデータが登録されているエントリを見出したか否かを示すメモリ出力制御信号を出力すると共に、前記アドレスデータが登録されているエントリを見出したときは該エントリ中の前記置換データメモリのアドレスデータを取り出すアドレス変換テーブル制御手段と、

該変換テーブル制御手段により取り出された前記置換データメモリのアドレスデータに従って前記置換データメモリから置換後のデータを読み出す置換データメモリ制御手段と、

前記変換テーブル制御手段により出力されたメモリ制御信号が前記エントリを見出した旨を示すときは、前記置換データメモリ制御手段により読み出されたデータを前記データバス上に出力し、前記メモリ制御信号が前記エントリを見出せない旨を示すときは、前記メモリの出力したデータを前記データバス上に出力するバッファとを有する。

（作用）

- 4 -

本発明のメモリアクセス制御方式においては、アドレス変換テーブル制御手段が、アドレスバス上のアドレスデータに基づいて前記アドレス変換テーブルを検索し、前記アドレスデータが登録されているエントリを見出したか否かを示すメモリ出力制御信号を出力すると共に、前記アドレスが登録されているエントリを見出したときは該エントリ中の前記置換データメモリのアドレスを取り出すと、置換データメモリ制御手段が、この置換データメモリのアドレスに従って置換データメモリから置換後のデータを読み出す。そして、バッファが、前記変換テーブル制御手段により出力されたメモリ制御信号が前記エントリを見出した旨を示すときは、前記置換データメモリ制御手段により読み出されたデータを前記データバス上に出力し、前記メモリ制御信号が前記エントリを見出せない旨を示すときは、前記メモリの出力したデータを前記データバス上に出力する。

（実施例）

次に、本発明の実施例について図面を参照して

詳細に説明する。

第1図は本発明の実施例の構成図である。同図において、1は、アドレス変換部2および置換データメモリ部3から成るメモリアクセス置換データ部、4は、プログラムおよびデータを記憶しているメモリ40およびこのメモリ40の出力データをデータバス6に出力するか否かを制御するバッファ41から成るオリジナルメモリ部である。アドレス変換部2は、アドレス変換テーブル20およびアドレス変換テーブル制御手段21から構成され、置換データメモリ部3は、置換データメモリ31、置換データメモリ制御手段32およびバッファ33から構成される。アドレス変換テーブル20は、第2図(b)に示すように、複数のエントリを有し、各エントリは、変換すべきデータが格納されているメモリ40のアドレスを記憶している変換元アドレスと置換データメモリ31のアドレスを記憶している変換アドレスからなる。アドレス変換テーブル制御手段21はアドレスバス5上のアドレスデータに基づいてアドレス変換

テーブル20の各エントリの変換元アドレスを検索して、同じアドレスデータが設定されたエントリがあるか判定し、判定結果をメモリ出力制御線22上に出力すると共に、同じアドレスデータが設定されているエントリを見出したときはそのエントリの変換アドレスに設定されているデータを変換アドレスバス23上に出力する。ここでメモリ出力制御線22は、同じアドレスデータが設定されているエントリを見出したときは例えば「1(Highレベル)」を出力し、見い出せないときは「0(Lowレベル)」を出力するものとする。置換データメモリ31は、第2図(c)に示すように置換後のデータを記憶している。置換データメモリ制御手段32は、アドレス変換テーブル制御手段21により出力された変換アドレスバス23上のデータに基づいて置換データメモリ31から置換データを読み出して出力する。バッファ33、41はメモリ40の出力データ又は置換データメモリ制御手段32の出力データの何れか一方をデータバス6に出力するものであり、該

- 7 -

当するエントリを見出せた旨を示すときは置換データメモリ制御手段32の出力データをデータバス6に出力し、メモリ出力制御線22が該当するエントリを見出せない旨を示すときはメモリ40の出力データをデータバス6に出力する。

第2図(b)、(c)のようにアドレス変換テーブル20および置換データメモリ31が設定されていて、例えば制御装置(図示せず)がプログラムまたはデータをフェッチする為、第2図(a)に示すようにアドレスバス5上に例えば「0000」を出力した場合の動作について説明する。先ず、アドレス変換テーブル制御手段21はアドレスバス5上の値「0000」に基づいてアドレス変換テーブル20の各エントリの変換元アドレスを検索して値「0000」が設定されているエントリを見つける。今の場合は、値「0000」が設定されているエントリを見出せたので、メモリ出力制御線22を「1」にすると共に、そのエントリに設定されている変換アドレス「04」を変換アドレスバス23に出力する。

- 8 -

置換データメモリ制御手段32は、変換アドレスバス23上の値「04」を受け取り、この値「04」を置換データメモリ31のアドレスとして「04」番地に格納されている置換データ「B2」を出力する。このとき、メモリ40もアドレスバス上の値「0000」を受け取り、この番地に格納されているデータ例えば「8F」を読み出して出力する。しかし、メモリ出力制御線22は上述したように「1」となっており、バッファ42はメモリ40の出力データがデータバス6に出力するのを禁止し、バッファ33は置換データメモリ制御手段32の出力データをデータバス6に出力する。従って、データバス6には置換後データ「B2」が出力されることになる。

次に、アドレスバス5上に「0001」が出力された場合について説明する。このときもアドレス変換テーブル制御手段21はアドレスバス6上の値「0001」に基づいてアドレス変換テーブル20のエントリを検索する。今の場合は、「0001」が設定されたエントリが見出せないので

メモリ出力制御線 22 上に「0」を出力する。従って、メモリ 40 の出力がデータバス 6 ハバッファ 41 を介して出力され、置換データメモリ制御手段 32 の出力データはデータバス 6 への出力が禁止される。

このようにアドレスバス 5 上の値がアドレス変換テーブル 20 に設定されていないときはメモリ 40 に格納されているデータがデータバス 6 上に出力され、アドレス変換テーブル 20 に設定されているときは、置換データメモリ 31 に格納された変更後のデータがデータバス 6 上に出力される。従って、データの変更を置換データメモリ 31 に集中して行うことができる。

(発明の効果)

以上に説明したように、本発明のメモリアクセス制御方式は、変更すべきメモリのアドレスおよびデータをアドレス変換テーブルおよび置換データメモリに格納しておくことにより、変更すべきアドレスおよびデータを集中的に管理できるから、複数のアドレスに対するデータの変更も置換デー

タメモリで集中して行える。従って、本発明のメモリアクセス制御方式を採用すれば、複数の ROM チップに渡ってその内容を変更するときでも個々の ROM チップを交換する必要がなくなるので、変更作業が容易となる。

4. 図面の簡単な説明

第 1 図は本発明の実施例の構成図。

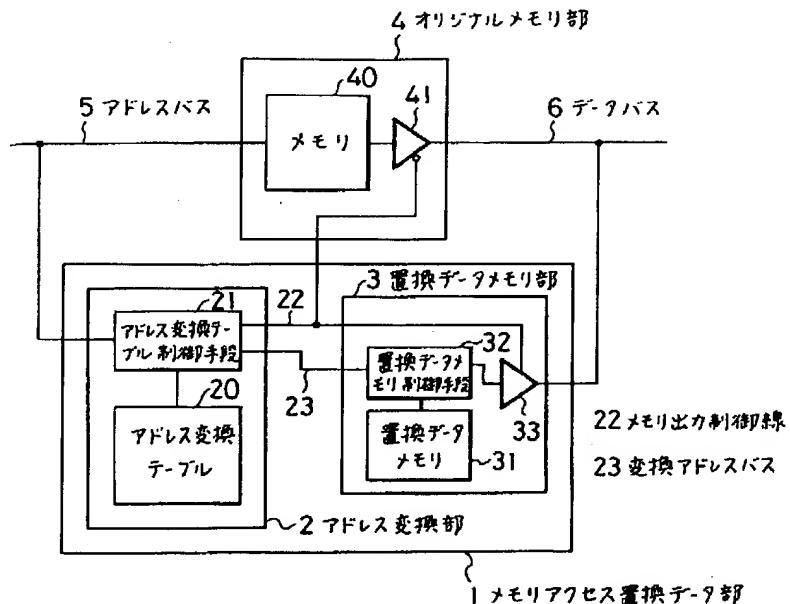
第 2 図はアドレス変換テーブル 20 および置換データメモリ 31 の内容例を示した図である。

1…メモリアクセス置換データ部、2…アドレス変換部、3…置換データメモリ部、4…オリジナルメモリ部、5…アドレスバス、6…データバス、20…アドレス変換テーブル、21…アドレス変換テーブル制御手段、31…置換データメモリ、32…置換データメモリ制御手段、33…バッファ、40…メモリ。

代理人 弁理士 本庄伸介

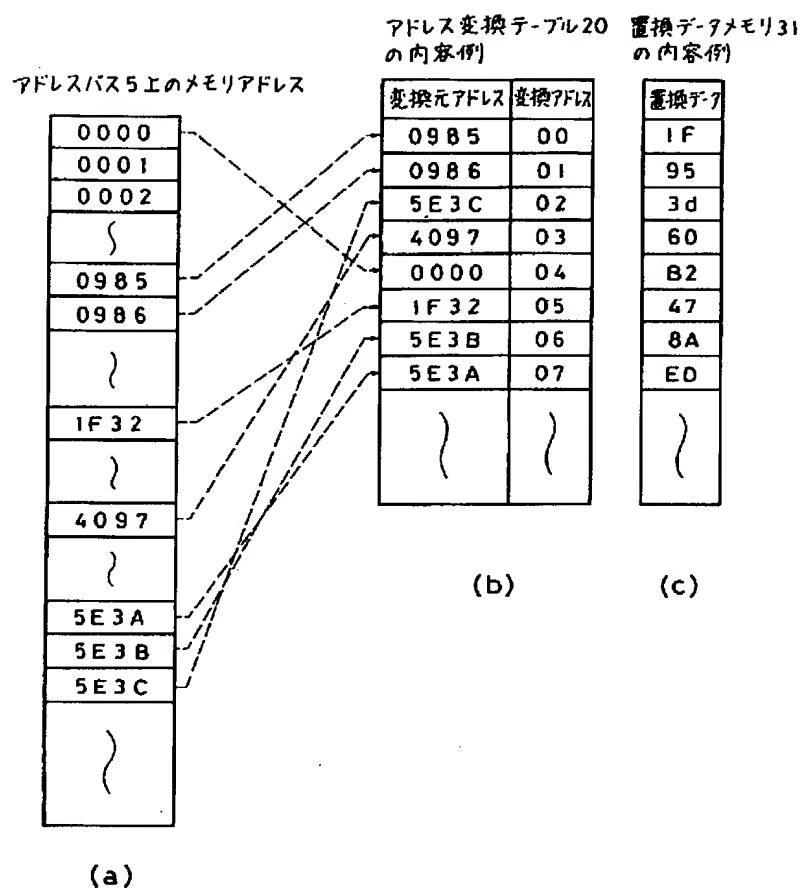
- 11 -

- 12 -



本発明の実施例の構成

第 1 図



第 2 図